

明細書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、高誘電率ゲート絶縁膜を有する半導体装置及びその製造方法に関する。特に、本発明は、MISFETの閾値電圧の制御に関するものである。

背景技術

[0002] MISFET (metal insulator semiconductor field effect transistor) 等の半導体デバイスの高速化・微細化を実現するため、ゲート絶縁膜の薄膜化が行われてきた。しかし、シリコン酸化膜やシリコン酸窒化膜(以下「シリコン酸化膜等」とれづ。)を薄膜化するとゲートリーク電流が増加してしまって問題があった。シリコン酸化膜等は、従来ゲート絶縁膜として用いられている。この問題を解決するため、ゲート絶縁膜として高誘電率膜(以下「高誘電率ゲート絶縁膜」とれづ。)を採用する手法が提案されている。

[0003] また、P型不純物領域を形成することにより、MOSトランジスタの閾値電圧を制御する手法が提案されている(例えば、特許文献1参照。)。

[0004] 特許文献1: 日本2002-313950号公報

発明の開示

発明が解決しようとする課題

[0005] しかしながら、本発明者の検討の結果、MISFETのゲート絶縁膜として高誘電率ゲート絶縁膜を用いると、シリコン酸化膜等を用いた場合と比較して、MISFETの閾値電圧が更に高くなってしまう問題があることが分かった。1つの原因として、高誘電率ゲート絶縁膜に含まれる金属と、ゲート電極に含まれるSiが互いに反応するためと考えられる。また、別の原因として、高誘電率ゲート絶縁膜に含まれる金属が、ソースノドレイン領域形成用として基板に注入された砒素イオンやボロンイオンと反応するためと考えられる。

[0006] MISFETの閾値電圧が高くなってしまうとトランジスタ駆動性能が低下してしまうため、閾値電圧を高精度に制御する必要がある。

[0007] 本発明は、かかる問題を解決するためになされたもので、その目的は、高誘電率ゲ

一ト絶縁膜を有する半導体装置の閾値電圧を高精度に制御することである。

課題を解決するための手段

- [0008] 本発明に係る半導体装置は、基板の上層に形成された第1導電型のウェルと、前記ウェルのチャネル部分の極表層に形成され、前記ウェルよりも低い不純物濃度を有する第1導電型の低濃度層と、前記低濃度層上に形成され、シリコン酸イロ膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜と、前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、前記低濃度層を挟んで前記ウェルの上層に形成された第2導電型のソースノードライン領域とを備えたものである。
- [0009] 本発明に係る半導体装置は、n型回路領域とp型回路領域とを有する相補型の半導体装置であって、n型回路領域の基板の上層に形成されたp型ウェルと、p型回路領域の前記基板の上層に形成されたn型ウェルと、前記p型ウェルのチャネル部分の極表層に形成され、前記p型ウェルよりも低い不純物濃度を有するp型低濃度層と、前記n型ウェルのチャネル部分の極表層に形成され、前記n型ウェルよりも低い不純物濃度を有するn型低濃度層と、前記p型及びn型低濃度層上に形成され、シリコン酸イロ膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜と、前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、前記p型低濃度層を挟んで前記p型ウェルの上層に形成されたn型ソース／ドレイン領域と、前記n型低濃度層を挟んで前記n型ウェルの上層に形成されたp型ソース／ドレイン領域とを備えたものである。
- [0010] 本発明に係る半導体装置の製造方法は、基板内に第1導電型の不純物を注入してウェルを形成する工程と、前記ウェルのチャネル部分の極表層に第2導電型の不純物を注入する工程と、

前記第2導電型の不純物を注入した後、前記基板上にシリコン酸イロ膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることによりゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記基板に第2導電型の不純物を注入してソースイドレイン領域を形成する工程とを含むことを特徴とするものである。

[0011] 本発明に係る半導体装置の製造方法は、n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、

前記n型回路領域の基板上層にp型ウェルを形成し、前記p型回路領域の基板上層にn型ウェルを形成する工程と、

前記p型ウェルのチャネル部分の極表層にn型不純物を注入する工程と、

前記n型ウェルのチャネル部分の極表層にp型不純物を注入する工程と、

前記n型及びp型不純物を注入した後、前記基板上に、シリコン酸イロ膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることにより前記n型及びp型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソースノドレイン領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソースノドレイン領域を形成する工程とを含むものである。

[0012] 本発明に係る半導体装置の製造方法は、n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、

前記n型回路領域の基板上層に、ボロンイオンを $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で注入してp型ウェルを形成する工程と、

前記p型回路領域の基板上層に、リンイオンを $1 \times 10^3 \text{ atoms/cm}^2$ のドーズ量で注入してn型ウェルを形成する工程と、

前記p型ウェルのチャネル部分の極表層に、砒素イオン又はリンイオンを $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入する工程と、

前記n型ウェルのチャネル部分の極表層に、ボロンイオンを $3 \sim 5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入する工程と、

熱処理を行って前記極表層に注入された砒素イオンとボロンイオンを拡散させることにより、前記p型ウェルのチャネル部分の極表層にp型低濃度層を形成すると共に、前記n型ウェルのチャネル部分の極表層にn型低濃度層を形成する工程と、

前記熱処理を行った後、前記基板上に、HfAlO_x膜を形成する工程と、

前記HfAlO_x膜上にゲート電極となるポリシリコン膜を形成する工程と、

前記ポリシリコン膜及び前記HfAlO_x膜をパターニングすることにより、前記p型及びn型低濃度層上に前記HfAlO_x膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソースノードレイン領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソースノードレイン領域を形成する工程とを含むものである。

発明の効果

[0013] 本発明は、ウェル領域のチャネル部分の極表層に低い不純物濃度を有する低濃度層を形成することにより、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することができる。

図面の簡単な説明

[0014] [図1]本発明の実施例1による半導体装置を説明するための断面図である。

[図2]本発明の実施例1による半導体装置の製造方法を説明するための工程断面図である。

[図3]本発明の実施例2による半導体装置を説明するための断面図である。

[図4]本発明の実施例2による半導体装置の製造方法を説明するための工程断面図である(その1)。

[図5]本発明の実施例2による半導体装置の製造方法を説明するための工程断面図である(その2)。

[図6]本発明の実施例2による半導体装置の製造方法を説明するための工程断面図である(その3)。

[図7]N型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

[図8]P型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

符号の説明

- [0015] 1, 21 シリコン基板
2, 22 素子分離構造
3, 23 p型ウェル
4, 26 硼素イオン
5, 27 p型低濃度層
6, 31 シリコン酸化膜
7, 32 高誘電率ゲート絶縁膜
8, 33 ポリシリコン膜
8a, 33a ゲート電極
9, 34 レジストパターン
10, 36 硼素イオン
11, 37 n型不純物層
11a, 37a n型エクステンション領域
12, 41 シリコン酸化膜
13, 42 サイトウォールスペーサ(シリコン窓膜)
14, 44 硼素イオン
15, 45 n型不純物層
15a, 45a n型ソースノードレイン領域
24 n型ウェル
25, 28, 35, 38, 43, 46 レジストパターン
29 ボロンイオン

- 39 ポロンイオン
- 40 p型不純物層
- 40a p型エクステンション領域
- 47 ポロンイオン
- 48 p型不純物層
- 48a p型ソースノドレイン領域

発明を実施するための最良の形態

[0016] 図面を参照して本発明の実施例について説明する。図中、同一または相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

実施例 1

[0017] 図1は、本発明の実施例1による半導体装置を説明するための断面図である。具体的には、図1は、n型チャネルMISFETを説明するための断面図である。

[0018] 図1に示すように、シリコン基板1の活性領域を分離する素子分離構造2が形成されている。シリコン基板1上層にはp型ウエル3が形成されている。p型ウエル3のチャネル部分の極表層にはp型低濃度層5が形成されている。詳細は後述するが、このp型低濃度層5は、n型不純物のカウンタードープにより形成される。p型低濃度層5は、該p型低濃度層5の周りのp型ウエル3よりも低い不純物濃度を有している。チャネル部分の極表層にp型低濃度層5を形成することにより、MISFETの閾値電圧の制御を高精度に行うことができる(後述)。p型低濃度層5の深さは、シリコン基板1表面から数nm ~10nm程度である。これよりも深い位置では、該低濃度層はp型ウエル3により相殺される。p型低濃度層5上にはシリコン酸イロ膜6aが形成されている。シリコン酸イロ膜6a上には高誘電率ゲート絶縁膜7aとしてのHfAlO_x膜が形成されている。HfAlO_x膜7aは、シリコン酸イロ膜6aよりも高い比誘電率を有する。

[0019] HfAlO_x膜7a上にはポリシリコン膜からなるゲート電極8aが形成されている。ゲート電極8aの側壁にはシリコン酸イロ膜12を通してシリコン窒化膜からなるサイドウォールスペーサ13が形成されている。シリコン酸イロ膜12は、ダメージ防止用のものである。サイドウォールスペーサ13下のp型ウエル3上層には、p型低濃度層5aを挟むようにn型エクステンション領域11aが形成されている。さらに、このn型エクステンション領域

図1と接続するn型ソースノードレイン領域15がp型ウェル3上層に形成されている。

[0020] 次に、上記半導体装置の製造方法について説明する。

図2は、本実施例1による半導体装置の製造方法を説明するための工程断面図である。具体的には、図2は、n型チャネルMISFETの製造方法を説明するための工程断面図である。

- [0021] 先ず、図2(a)に示すように、p型シリコン基板1内にSTI(shallow trench isolation)法を用いて、シリコン酸化膜からなる素子分離構造2を形成する。そして、素子分離構造2で分離された活性領域内にp型不純物としてのボロンイオンを、例えば、ドーズ量: $1 \times 10^3 \text{ atoms/cm}^2$ 、加速電圧:13 keVで注入する。その後、熱処理を行ってにより、p型ウェル3を形成する。
- [0022] 次に、図2(b)に示すように、p型ウェル3の極表層、すなわち、p型ウェル3のチャネル領域となる部分(以下「チャネル部分」とれづ。)の極表層に、n型不純物4としての砒素イオンを、例えば、ドーズ量: $5 \sim 8 \times 10^2 \text{ atoms/cm}^2$ 、加速電圧:8 keVで注入する。その後、85°Cの温度で30秒程度の熱処理を行う。これにより、砒素イオン4が拡散する。図2(c)に示すように、p型ウェル3の極表層に、p型ウェル3よりも低い不純物濃度を有するp型低濃度層5が形成される。詳細は後述するが、このp型低濃度層5が、高誘電率ゲート絶縁膜7を有するMISFETの閾値電圧を高精度に制御することを可能にする。
- [0023] 次に、図2(c)に示すように、p型低濃度層5上にシリコン酸化膜6を熱酸化法により、例えば、 $0.7 \text{ nm} \sim 1.0 \text{ nm}$ の膜厚で形成する。そして、シリコン酸化膜6上に、該シリコン酸化膜6よりも高い比誘電率を有する高誘電率ゲート絶縁膜7としてHfAlOx膜を、例えば、 $1.2 \text{ nm} \sim 2.5 \text{ nm}$ の膜厚で形成する。さらに、HfAlOx膜7上にゲート電極となるポリシリコン膜8を、シランガスを材料として用いて、例えば、125nm程度の膜厚で形成する。図示しないが、ポリシリコン膜8にゲートドーパントとしてのリンイオンを、例えば、ドーズ量: $1 \times 10^6 \text{ atoms/cm}^2$ で注入する。その後、熱処理を行うことにより、ポリシリコン膜8におけるゲートドーパントが拡散する。さらに、ポリシリコン膜8上にレジストパターン9をリソグラフィ技術により形成する。
- [0024] 続いて、レジストパターン9をマスクとしてポリシリコン膜8、HfAlOx膜7及びシリコン

酸イロ膜6を順次エッティングする。その後、レジストパターン9を除去する。これにより、図2(d)に示すように、シリコン基板1のp型低濃度層5上にゲート絶縁膜6a, 7aを介してゲート電極8aが形成される。すなわち、ゲート絶縁膜6a直下のチャネル領域の極表層にp型低濃度層5が位置する。そして、ゲート電極8aをマスクとして用いて、n型不純物としての砒素イオン10を、例えば、加速電圧:2keV、ドーズ量: $\times 10^5$ atoms/cm²で注入すると、n型不純物層11が形成される。その後、熱処理を行う。これにより、n型不純物層11における砒素イオンが活性化して、図2(e)に示すように、シリコン基板1上層にn型エクステンション領域11aが形成される。

[0025] 次に、基板1全面にダメージ防止用のシリコン酸イロ膜12を、例えば、2nmの膜厚で形成する。そして、シリコン酸イロ膜12上にシリコン窒イロ膜13を、例えば、50nm～80nmの膜厚で形成する。続いて、シリコン窒化膜13とシリコン酸イロ膜12を異方性エッティングする。これにより、図2(e)に示すように、ゲート電極8aの側壁を覆うサイドウォールスペーサ13が自己整合的に形成される。次に、サイドウォールスペーサ13及びゲート電極8aをマスクとして用いて、n型不純物としての砒素イオン14を、例えば、加速電圧:35keV、ドーズ量: $\times 10^5$ atoms/cm²で注入すると、n型不純物層15が形成される。その後、熱処理を行う。これにより、n型不純物層15における砒素イオンが活性化して、図2(f)に示すように、シリコン基板1上層にn型エクステンション領域11よりも高濃度のn型ソースノードレイン領域15aが形成される。

[0026] 以上説明したように、本実施例1では、p型ウェル3を形成した後、p型ウェル3のチャネル部分の極表層に砒素イオン4を注入する。その後、熱処理を行う。これにより、該極表層にp型ウェル3よりも低い不純物濃度を有するp型低濃度層5が、p型ウェルの極表層に形成される。これにより、金属を含有するHfAlO_x膜をゲート絶縁膜として用いた場合でも、MISFETの閾値電圧を制御することができる。従って、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することができる。

[0027] なお、本実施例1では、n型チャネルMISFETについて説明した。しかし、p型チャネルMISFETに対しても、本発明を適用することができる。この場合、素子分離構造2形成後に、リンイオンをドーズ量: $\times 10^3$ atoms/cm²、加速電圧:300keVで注入し、熱処理を行うことにより、n型ウェルを形成する。その後、n型ウェルのチャネル

部分の極表層にp型不純物としてのボロンイオンを、例えば、ドーズ量: $3 \sim 5 \times 10^{12}$ atoms/cm²、加速電圧: 15keVで注入し、熱処理を行う。これにより、p型低濃度層が形成される。以後、後述する実施例2のPMIS領域と同様の手法で、MISFETを形成する。

- [0028] また、本実施例1では、LDD (lightly doped drain) 構造を有するMISFETについて説明したが、LDD構造を有しないMISFETに対しても本発明を適用することができる(後述する実施例2についても同様)。この場合、ゲート電極のパターニング後に、ゲート電極8aをマスクとしてn型ソースノドレイン領域形成用のn型不純物をシリコン基板1に注入する。
- [0029] また、シリコン酸イロ膜6の代わりに、シリコン窒イロ膜やシリコン酸窒イロ膜を用いることができる。さらに、高誘電率ゲート絶縁膜7として、HfAlO_x膜(Hfアルミニート膜)以外に、ハフニウム酸化膜(HfO₂膜、ハニア膜)、Hfシリケート膜(HfSiO_x膜)、或いはアルミニウム酸イロ膜(Al₂O₃膜、アルミナ膜)、或いはこれらを窒イロ処理した膜を用いることができる。また、シリコン酸イロ膜6を形成することなく、シリコン基板1上に高誘電率ゲート絶縁膜7を直接形成してもよい(後述する実施例2についても同様)。
- [0030] また、ゲート電極材料膜8としてポリシリコン膜の代わりに、ポリシリコンゲルマニウム膜を用いることができる(後述する実施例2についても同様)。
- [0031] また、p型低濃度層5を形成するために、砒素イオン4を注入する代わりに、リンイオンを、例えば、ドーズ量: $5 \sim 8 \times 10^{12}$ atoms/cm²、加速電圧: 35keVで注入することができる(後述する実施例2についても同様)。この場合も、同じ深さのp型低濃度層が得られる。

実施例 2

- [0032] 図3は、本発明の実施例2による半導体装置を説明するための断面図である。具体的には、相補型半導体装置であるCMISFETを説明するための断面図である。
- [0033] 図3に示すように、シリコン基板21の活性領域を分離する素子分離構造22が形成されている。この素子分離構造22によりNMIS領域とPMIS領域が区画されている。NMIS領域のシリコン基板21上層にはp型ウェル23が形成されている。PMIS領域のシリコン基板21上層にはn型ウェル24が形成されている。p型ウェル23のチャネル

部分の極表層にはp型低濃度層27が形成されている。n型ウェル24のチャネル部分の極表層にはn型低濃度層30が形成されている。詳細は後述するが、p型低濃度層27及びn型低濃度層30はn型及びp型不純物のカウンタードープにより形成される。p型低濃度層27及びn型低濃度層30は、周りのp型ウェル23及びn型ウェル24よりも低い不純物濃度を有している。チャネル部分の極表層にp型低濃度層27及びn型低濃度層30を形成することにより、n型チャネルMISFET及びp型チャネルMISFETの閾値電圧の制御を高精度に行うことができる（後述）。p型低濃度層27及びn型低濃度層30の深さは、シリコン基板21表面から数nm～10nm程度である。これよりも深い位置では、p型低濃度層27及びn型低濃度層30は、p型ウェル23及びn型ウェル24により相殺される。p型低濃度層27及びn型低濃度層30上にはそれぞれシリコン酸イロ膜31aが形成されている。シリコン酸イロ膜31a上に、高誘電率ゲート絶縁膜32aとしてのHfAlO_x膜が形成されている。HfAlO_x膜32aは、シリコン酸イロ膜31aよりも高い比誘電率を有する。

- [0034] HfAlO_x膜32a上にはポリシリコン膜からなるゲート電極33aが形成されている。ゲート電極33aの側壁にはシリコン酸イロ膜41を介してシリコン窒化膜からなるサイドウォールスペーサ42が形成されている。シリコン酸イロ膜41は、ダメージ防止用として機能するものである。
- [0035] NMIS領域におけるサイドウォールスペーサ42下のp型ウェル23上層には、p型低濃度層27を挟むようにn型エクステンション領域37aが形成されている。さらに、このn型エクステンション領域37aと接続するn型ソースノドレイン領域45aがp型ウェル23上層に形成されている。
- [0036] また、PMIS領域におけるサイドウォールスペーサ42下のn型ウェル24上層には、n型低濃度層30を挟むようにp型エクステンション領域40aが形成されている。さらに、このp型エクステンション領域40aと接続するp型ソースノドレイン領域48aがn型ウェル24上層に形成されている。
- [0037] 次に、上記半導体装置の製造方法について説明する。

図4～図6は、本実施例2による半導体装置の製造方法を説明するための工程断面図である。より詳細には、相補型半導体装置であるCMISFETの製造方法を説明

するための工程断面図である。

- [0038] 先ず、図4(a)に示すように、p型シリコン基板21にSTI法を用いて素子分離構造22を形成する。そして、素子分離構造22で分離されたn型チャネルMISFET領域(以下NMIS領域とれづ。)の活性領域に、p型不純物としてのボロンイオンを、ドーズ量: $1 \times 10^3 \text{ atoms/cm}^2$ 、加速電圧:130keVで注入する。その後、熱処理を行う。これにより、p型ウェル23が形成される。また、p型チャネルMISFET領域(以下PMIS領域とれづ。)の活性領域に、n型不純物としてのリンイオンを、例えば、ドーズ量: $1 \times 10^3 \text{ atoms/cm}^2$ 、加速電圧:300keVで注入する。その後、熱処理を行う。これにより、n型ウェル24が形成される。なお、1回の熱処理でp型不純物とn型不純物を拡散させることができる。
- [0039] 次に、図4(b)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン25を形成する。そして、p型ウェル23の極表層、すなわち、p型ウェル23のチャネル部分の極表層に、n型不純物26としての砒素イオンを、例えば、ドーズ量: $5 \sim 8 \times 10^2 \text{ atoms/cm}^2$ 、加速電圧:80keVで注入する。その後、レジストパターン25を除去する。
- [0040] 次に、図4(c)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン28を形成する。そして、n型ウェル24の極表層、すなわち、n型ウェル24のチャネル部分の極表層に、p型不純物29としてのボロンイオンを、例えば、ドーズ量: $3 \sim 5 \times 10^2 \text{ atoms/cm}^2$ 、加速電圧:15keVで注入する。さらに、レジストパターン28を除去する。その後、850°Cの温度で30秒程度の熱処理を行う。これにより、図5(a)に示すように、p型ウェル23の極表層にp型低濃度層27が形成され、n型ウェル24の極表層にn型低濃度層30が形成される。
- [0041] 次に、図5(a)に示すように、シリコン基板21上にシリコン酸化膜31を熱酸化法により、例えば、0.7nm~1.0nmの膜厚で形成する。そして、シリコン酸化膜31上に、高誘電率ゲート絶縁膜32としてHfAlO_x膜を、例えば、1.2nm~2.5nmの膜厚で形成する。HfAlO_x膜32は、シリコン酸化膜31よりも高い比誘電率を有する。さらに、HfAlO_x膜32上にゲート電極となるポリシリコン膜33を、シランガスを材料として用いて、例えば、125nm程度の膜厚で形成する。

- [0042] その後、図示しないが、PMIS領域をレジストパターンでマスクし、NMIS領域のポリシリコン膜33にゲートドーパントとしてのリンイオンを、例えば、ドーズ量 汎 $X 10^6 \text{ atoms/cm}^2$ で注入する。同様の手法を用いて、NMIS領域をレジストパターンでマスクし、PMIS領域のポリシリコン膜33にゲートドーパントとしてのボロンイオンを、例えば、ドーズ量: $3 \times 10^{15} \text{ atoms/cm}^2$ で注入する。熱処理を行うことにより、ポリシリコン膜33に注入されたゲートドーパントが拡散する。
- [0043] 次に、ポリシリコン膜33上にリソグラフィ技術を用いてレジストパターン34を形成する。
- [0044] そして、レジストパターン34をマスクとして、ポリシリコン膜33、 HfAlO_x 膜32及びシリコン酸イロ膜31を順次エッチングする。その後、レジストパターン34を除去する。これにより、図5(b)に示すように、NMIS領域においてp型低濃度層27上にゲート絶縁膜31a, 32aを介してゲート電極33aが形成され、PMIS領域においてn型低濃度層30上にゲート絶縁膜25a, 26aを介してゲート電極33aが形成される。
- [0045] 次に、図5(b)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン35を形成する。NMIS領域のゲート電極33aをマスクとして用いてn型エクステンション領域形成用のn型不純物としての砒素イオン36を、例えば、加速電圧: 2keV、ドーズ量 汎 $X 10^5 \text{ atoms/cm}^2$ で注入する。これにより、NMIS領域のシリコン基板21上層にn型不純物層37が形成される。その後、レジストパターン35を除去する。
- [0046] 次に、図5(c)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン38を形成する。PMIS領域のゲート電極33aをマスクとして用いてp型エクステンション領域形成用のp型不純物としてのボロンイオン39を、例えば、加速電圧: 0.2keV、ドーズ量 汎 $X 10^{15} \text{ atoms/cm}^2$ で注入する。これにより、PMIS領域のシリコン基板21上層に、p型不純物層40が形成される。その後、熱処理を行う。これにより、図6(a)に示すように、NMIS領域のn型不純物層37における砒素イオンが活性化してn型エクステンション領域37aが形成され、PMIS領域のp型不純物層40におけるボロンイオンが活性化してp型エクステンション領域40aが形成される。
- [0047] 次に、図6(a)に示すように、基板21全面にシリコン酸イロ膜41を、例えば、2nmの

膜厚で形成する。そして、シリコン酸イロ膜41上にシリコン窒イロ膜42を、例えば、50nm～80nmの膜厚で形成する。続いて、シリコン窒イロ膜42とシリコン酸イロ膜41を異方性エッチングする。これにより、ゲート電極33aの側壁を覆うサイドウォールスペーサ42が自己整合的に形成される。

- [0048] 次に、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン43を形成する。そして、NMIS領域のサイドウォールスペーサ42及びゲート電極33aをマスクとして用いてn型ソースイドレイン領域形成用のn型不純物としての砒素イオン44を、例えば、加速電圧:35keV、ドーズ量: 5×10^{16} atoms/cm²で注入する。これにより、NMIS領域のシリコン基板21上層にn型不純物層45が形成される。その後、レジストパターン43を除去する。
- [0049] 次に、図6(b)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン46を形成する。そして、PMIS領域のサイドウォールスペーサ42及びゲート電極33aをマスクとして用いてp型ソースノドレイン領域のp型不純物としてのボロンイオン47を、例えば、加速電圧:5keV、ドーズ量: 3×10^{15} atoms/cm²で注入する。これにより、PMIS領域のシリコン基板21上層にp型不純物層48が形成される。その後、レジストパターン46を除去する。
- [0050] 最後に、図6(c)に示すように、1000°C以上1050°C以下の温度で数秒程度の熱処理を行う。これにより、NMIS領域のn型不純物層45における砒素イオンが活性化してn型ソースノドレイン領域45aが形成され、PMIS領域のp型不純物層48におけるボロンイオンが活性化してp型ソースノドレイン領域48aが形成される。
- [0051] 以上説明したように、本実施例2では、NMIS領域にp型ウェル23を形成し、PMIS領域にn型ウェル24を形成した後、p型ウェル23のチャネル部分の極表層に砒素イオン26を注入し、熱処理を行う。これにより、該p型ウェル23よりも低い不純物濃度を有するp型低濃度層27が形成される。さらに、n型ウェル24のチャネル部分の極表層にボロンイオン29を注入し、熱処理を行う。これにより、該n型ウェル24よりも低い不純物濃度を有するn型低濃度層30が形成される。その結果、金属を含有するHfAlO_x膜をゲート絶縁膜として用いた場合でも、n型チャネルMISFET及びp型チャネルMISFETの閾値電圧を制御することができる。従って、高誘電率ゲート絶縁膜を

有する相補型半導体装置の閾値電圧を高精度に制御することができる。

- [0052] 図7は、本発明において、N型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。
- [0053] 図7に示すように、チャネル部分への不純物濃度制御用のイオン注入を行わない場合にはNFETの閾値電圧の上昇が見られ、イオン注入を行うことにより閾値電圧を抑えることができる。現段階で最小値である g_{0nm} 以上のゲート長で、NFETの閾値電圧を好適な範囲、具体的には、300mV–600mVに制御するには、砒素イオンを $5 \sim 8 \times 10^2 \text{ atoms/cm}^2$ のドーズ量で注入することが好適であった。なお、この場合のp型ウェルは、ボロンイオンを、ドーズ量 $\times 10^3 \text{ atoms/cm}^2$ 、加速電圧:130keVで注入することにより形成した。
- [0054] 図8は、本発明において、P型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。
- [0055] 図8に示すように、上記NFETと同様、チャネル部分への不純物濃度制御用のイオン注入を行わない場合にはPFETの閾値電圧の上昇が見られ、イオン注入を行元とにより閾値電圧を抑えることができる。現段階で最小値である g_{0nm} 以上のゲート長で、PFETの閾値電圧を好適な範囲、具体的には、400mV–600mVに制御するには、ボロンイオンを $3 \sim 5 \times 10^2 \text{ atoms/cm}^2$ のドーズ量で注入することが好適であった。なお、この場合のn型ウェルは、リンイオンを、ドーズ量 $\times 10^3 \text{ atoms/cm}^2$ 、加速電圧:300keVで注入することにより形成した。

産業上の利用可能性

- [0056] 以上のように、本発明にかかる半導体装置及びその製造方法によれば、ウェル領域のチャネル部分の極表層に低い不純物濃度を有する低濃度層を形成することにより、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することができる。

請求の範囲

- [1] 基板の上層に形成された第1導電型のウェルと、
前記ウェルのチャネル部分の極表層に形成され、前記ウェルよりも低い不純物濃度
を有する第1導電型の低濃度層と、
前記低濃度層上に形成され、シリコン酸イロ膜よりも高い比誘電率を有する高誘電
率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記低濃度層を挟んで前記ウェルの上層に形成された第2導電型のソース／ドレ
イン領域とを備えたことを特徴とする半導体装置。
- [2] n型回路領域とp型回路領域とを有する相補型の半導体装置であって、
n型回路領域の基板の上層に形成されたp型ウェルと、
p型回路領域の前記基板の上層に形成されたn型ウェルと、
前記p型ウェルのチャネル部分の極表層に形成され、前記p型ウェルよりも低い不
純物濃度を有するp型低濃度層と、
前記n型ウェルのチャネル部分の極表層に形成され、前記n型ウェルよりも低い不
純物濃度を有するn型低濃度層と、
前記p型及びn型低濃度層上に形成され、シリコン酸イロ膜よりも高い比誘電率を有
する高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記p型低濃度層を挟んで前記p型ウェルの上層に形成されたn型ソース／ドレイ
ン領域と、
前記n型低濃度層を挟んで前記n型ウェルの上層に形成されたp型ソース／ドレイ
ン領域とを備えたことを特徴とする半導体装置。
- [3] 基板内に第1導電型の不純物を注入してウェルを形成する工程と、
前記ウェルのチャネル部分の極表層に第2導電型の不純物を注入する工程と、
前記第2導電型の不純物を注入した後、前記基板上にシリコン酸イロ膜よりも高い比
誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、
前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工

程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることによりゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記基板に第2導電型の不純物を注入してソースノドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

- [4] n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、前記n型回路領域の基板上層にp型ウェルを形成し、前記p型回路領域の基板上層にn型ウェルを形成する工程と、

前記p型ウェルのチャネル部分の極表層にn型不純物を注入する工程と、

前記n型ウェルのチャネル部分の極表層にp型不純物を注入する工程と、

前記n型及びp型不純物を注入した後、前記基板上に、シリコン酸イロ膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることにより前記n型及びp型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソースノドレイン領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソースノドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

- [5] n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、前記n型回路領域の基板上層に、ボロンイオンを $1 \times 10^3 \text{ atoms/cm}^2$ のドーズ量で注入してp型ウェルを形成する工程と、前記p型回路領域の基板上層に、リンイオンを $1 \times 10^3 \text{ atoms/cm}^2$ のドーズ量で注入してn型ウェルを形成する工程と、前記p型ウェルのチャネル部分の極表層に、砒素イオン又はリンイオンを $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入する工程と、

前記n型ウェルのチャネル部分の極表層に、ボロンイオンを $3 \sim 5 \times 10^2 \text{ atomS/C m}^2$ のドーズ量で注入する工程と、

熱処理を行って前記極表層に注入された砒素イオンとボロンイオンを拡散させることにより、前記p型ウェルのチャネル部分の極表層にp型低濃度層を形成すると共に、前記n型ウェルのチャネル部分の極表層にn型低濃度層を形成する工程と、

前記熱処理を行った後、前記基板上に、HfAlO_x膜を形成する工程と、

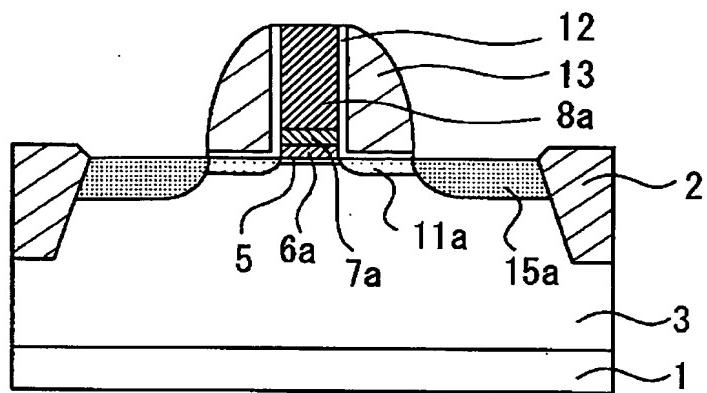
前記HfAlO_x膜上にゲート電極となるポリシリコン膜を形成する工程と、

前記ポリシリコン膜及び前記HfAlO_x膜をパターニングすることにより、前記p型及びn型低濃度層上に前記HfAlO_x膜を介してゲート電極を形成する工程と、

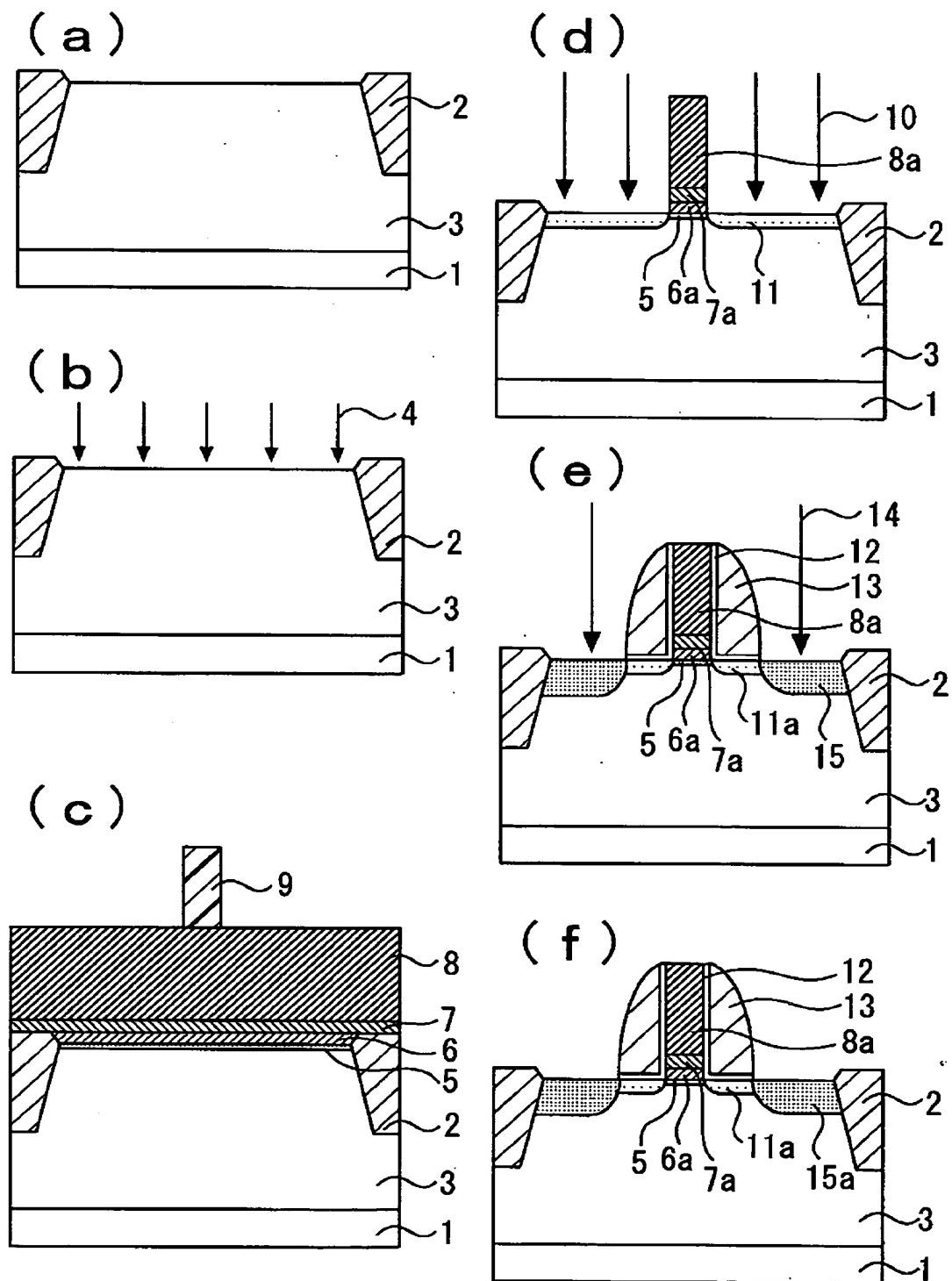
前記ゲート電極をマスクとして、前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソースノドレイン領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソースノドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

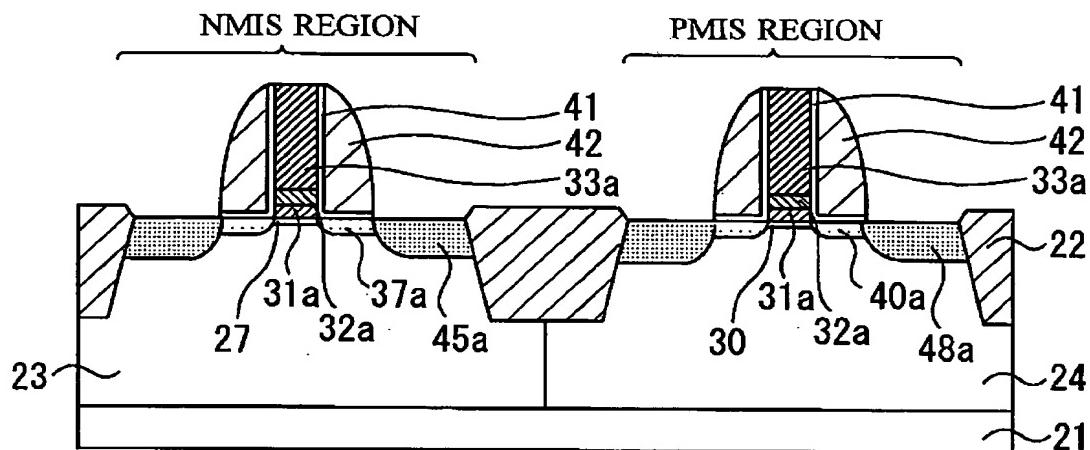
[図1]



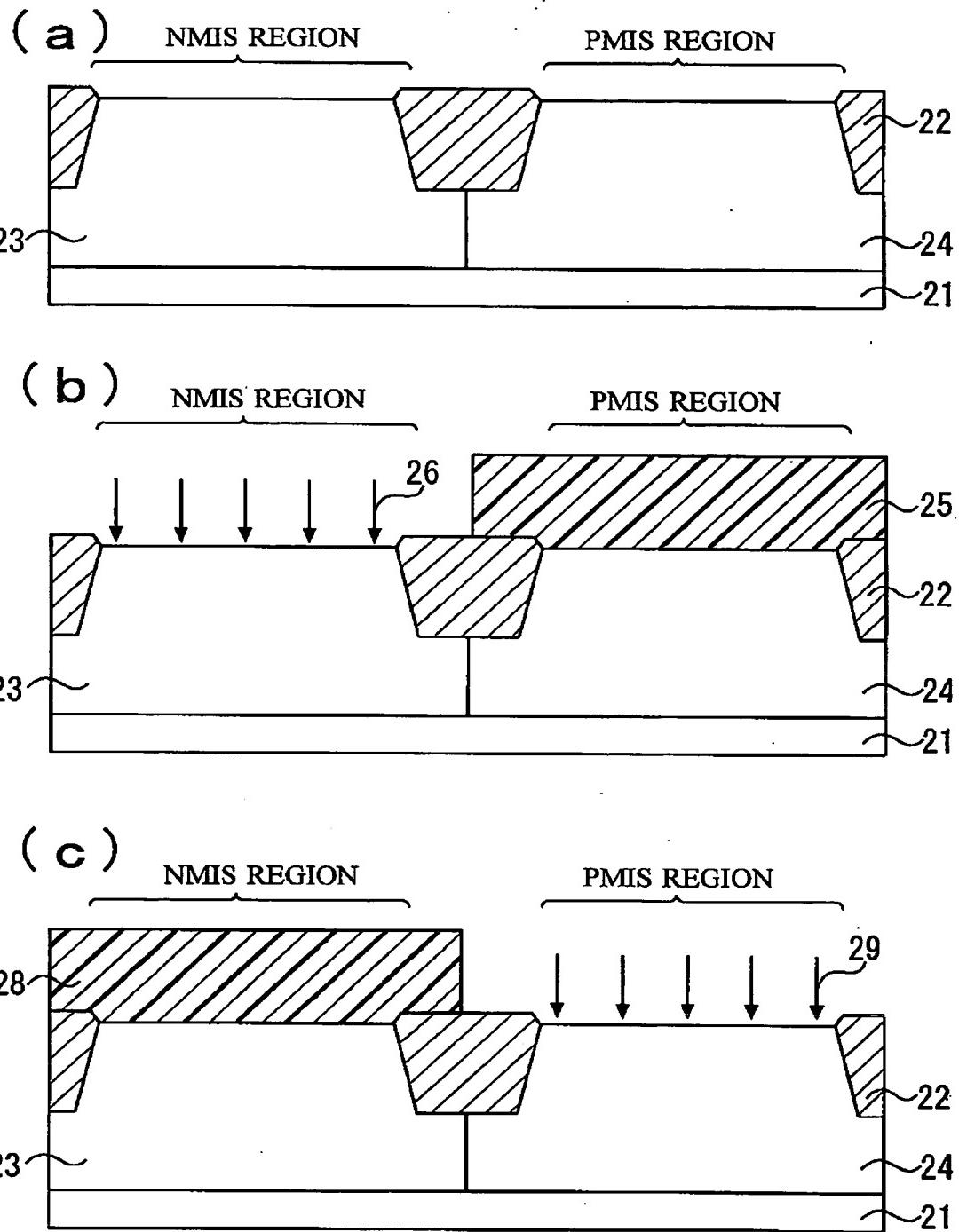
[図2]



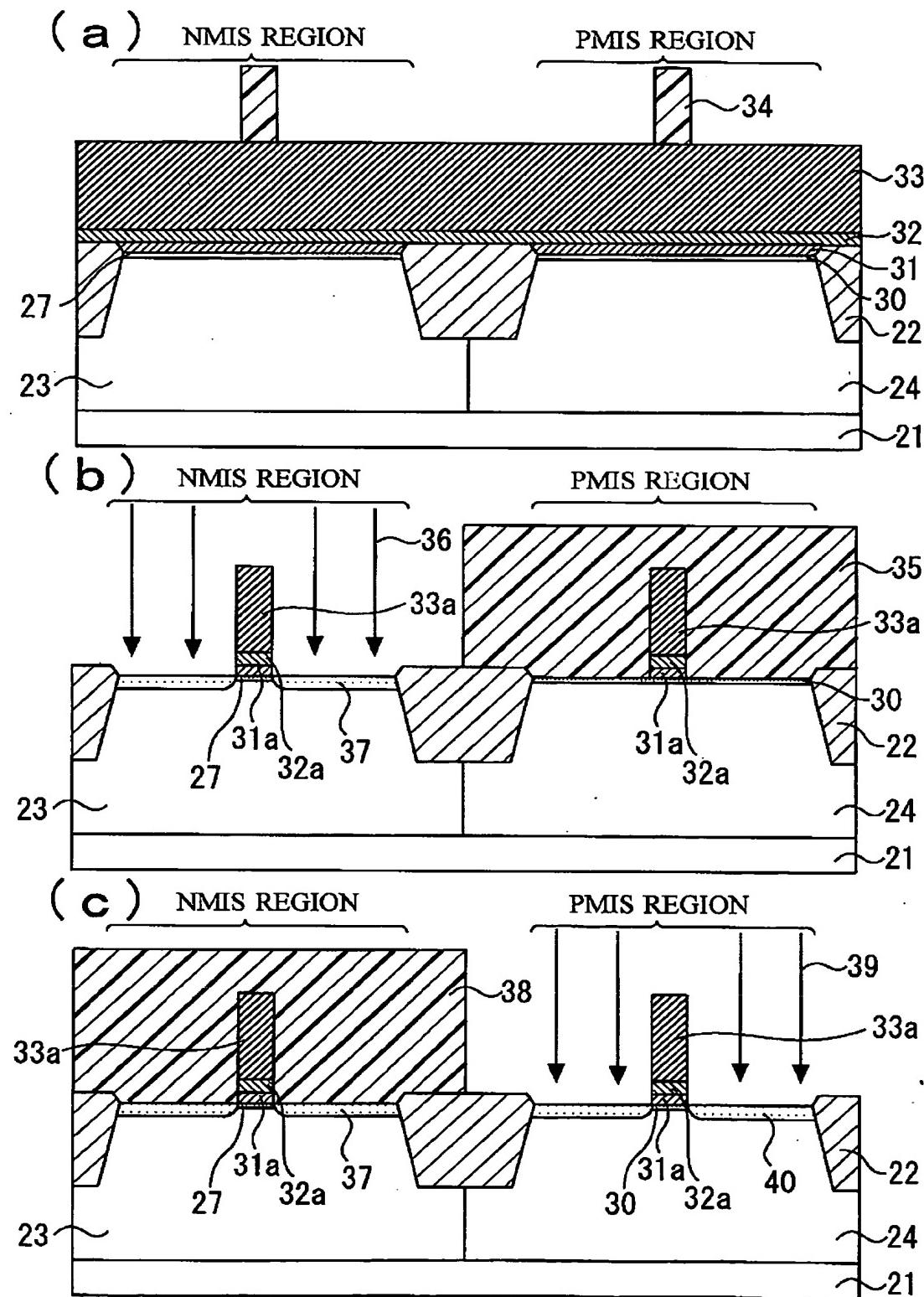
[図3]



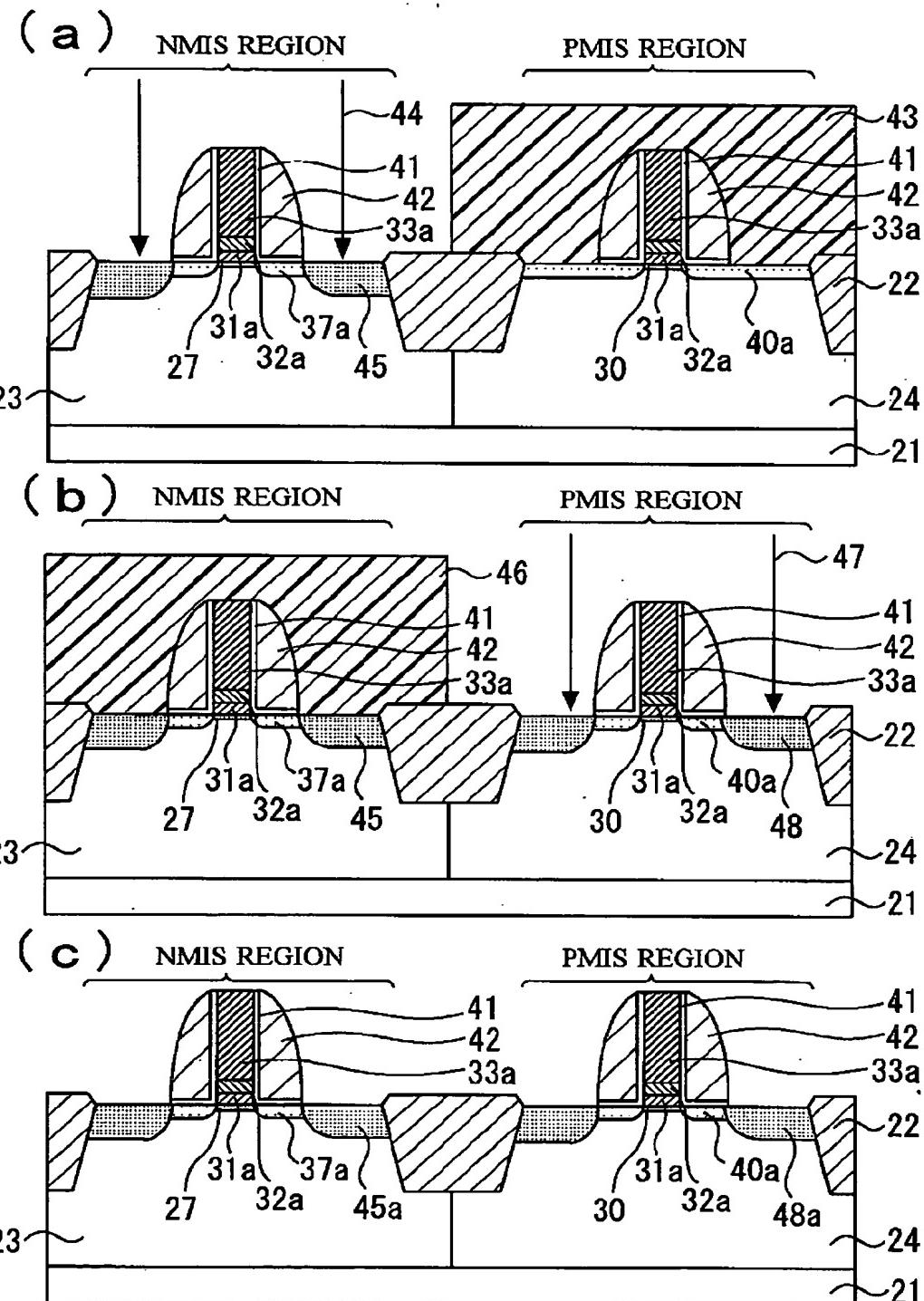
[図4]



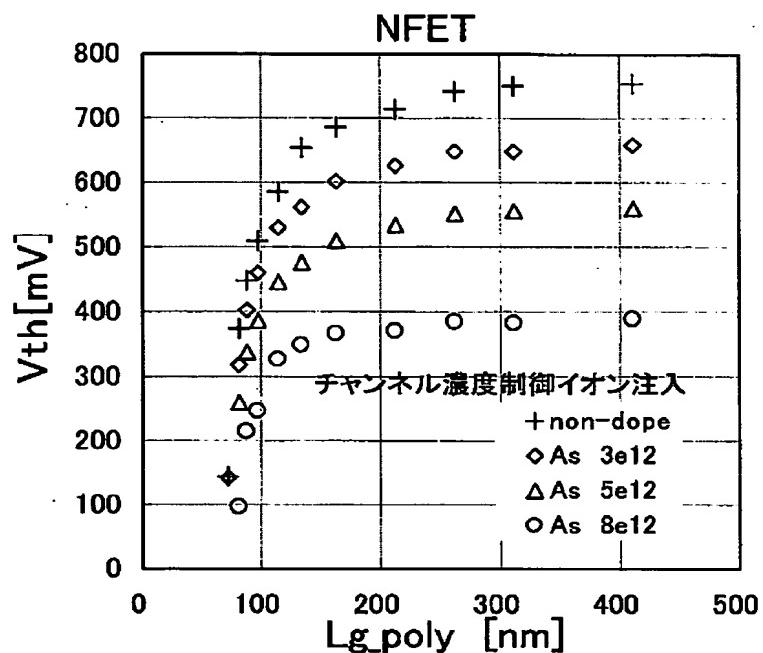
[図5]



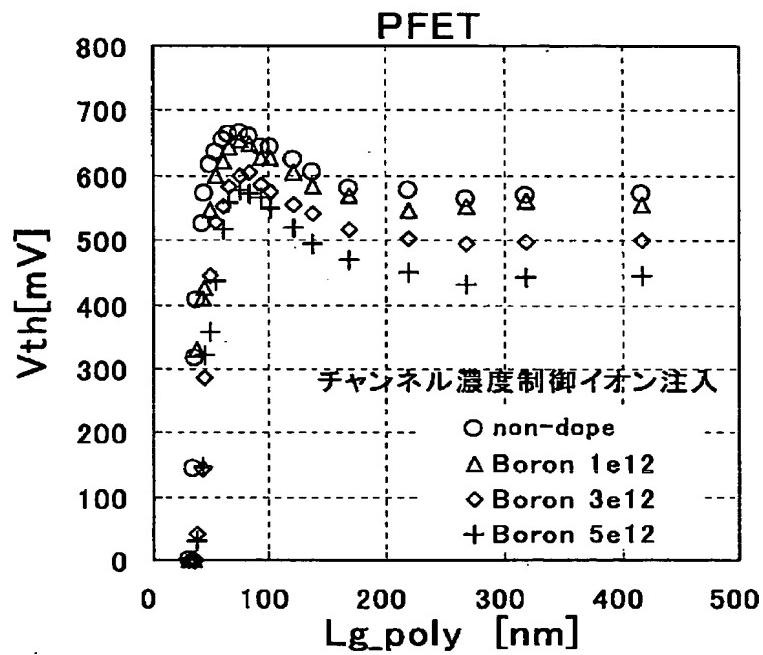
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011260

A. CLASSIFICATION OF SUBJECT MATTER

Int . C17 H01L2 9/78, 21/8238, 27/092, H01L2 1/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int . C17 H01L2 9/78, 21/8238, 27/092, H01L2 1/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996	Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005	Toroku Jitsuyo Shinan Koho 1994-2005

Electronic database consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-191108 A (Nissan Motor Co., Ltd.), 22 July, 1997 (22.07.97), Full text; all drawings (Family: none)	1 - 5
Y	JP 2-28971 A (Mitsubishi Electric Corp.), 31 January, 1990 (31.01.90), Full text; all drawings (Family: none)	1 - 5
Y	JP 3-276730 A (Matsushita Electronics Corp.), 06 December, 1991 (06.12.91), Full text; all drawings (Family: none)	1 - 5

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 September, 2005 (09.09.05)Date of mailing of the international search report
27 September, 2005 (27.09.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011260

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	W. Zhu et al., HfO ₂ and HfAlO for CMOS : Thermal Stability and Current Transport, IEDM 2001, pages 463 to 466	1-5
A	JP 2000-353756 A (Toshiba Corp.), 19 December, 2000 (19.12.00), Full text; all drawings (Family: none)	1-5
A	JP 5-183159 A (Fujitsu Ltd.) , 23 July, 1993 (23.07.93) , Fig. 10 & US 5362981 A & US 5589410 A	1-5

国際調査報告

国際出願番号 PCT/JP2005/011260

A. 発明の属する分野の分類 (国際特許分類 (IPC))

血t.cl.7 H01L29/78, 21/8238, 27/092, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

血t.Cl.7 H01L29/78, 21/8238, 27/092, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922 - 1996年
日本国公開実用新案公報	1971 - 2005年
日本国実用新案登録公報	1996 - 2005年
日本国登録実用新案公報	1994 - 2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-191108 A(日産自動車株式会社) 1997. 07. 22 全文、全図(アミリーなし)	1-5
Y	JP 2-28971 A(三菱電機株式会社) 1990. 01. 31 全文、全図(アミリーなし)	1-5
Y	JP 3-276730 A(松下電子工業株式会社) 1991. 12. 06 全文、全図(アミリーなし)	1-5

洋 C欄の続きにも文献が列挙されている。

「パテントファミリーに関する別紙を参照。」

* 引用文献のカテゴリー

IA」特に関連のある文献ではなく、一般的技術水準を示すもの

IE」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

IL」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

roj 口頭による開示、使用、展示等に言及する文献

IPJ 国際出願日前で、かつ優先権の主張の基礎となる出願

の目的役に公表された文献

ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

IXJ 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

IYJ 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

r&j 同一パテントファミリー文献

国際調査を完了した日

09.09.2005

国際調査報告の発送日

21.9.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

4M 9836

松嶋 秀忠

電話番号 03-3581-1101 内線 3462

C 続き) 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	w. Zhu et al., HfO ₂ and HfAlO for CMOS: Thermal Stability and Current Transport, IEDM 2001, pp. 463-466	1-5
A	JP 2000-353756 A (株式会社東芝) 2000.12.19 全文, 全図 (7 アミリーなし)	1-5
A	JP 5-183159 A (富士通株式会社) 1993.07.23 図 10 &US 5362981 A &US 5589410 A	1-5